

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuhiko KURIYAMA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR POWER AMPLIFIER AND MULTISTAGE MONOLITHIC INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-086157	March 27, 2000

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

6-15W
6-2101
J1046 U.S. PTO
09/817216
03/27/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 3月27日

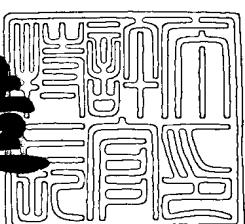
出願番号
Application Number: 特願2000-086157

出願人
Applicant(s): 株式会社東芝

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3009214

【書類名】 特許願

【整理番号】 12436501

【提出日】 平成12年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/189

【発明の名称】 半導体電力増幅器および多段モノリシック集積回路

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 栗山 保彦

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町72番地

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐藤 一雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘谷 英俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐藤 泰和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体電力増幅器および多段モノリシック集積回路

【特許請求の範囲】

【請求項1】

信号入力端子に入力された高周波信号を、並列接続された第1および第2のトランジスタで増幅して信号出力端子から出力する半導体電力増幅器において、

前記信号入力端子と前記第1のトランジスタの入力端子との間に接続される第1のキャパシタ素子と、

前記信号入力端子と前記第2のトランジスタの入力端子との間に接続される第2のキャパシタ素子と、

前記第1および第2のトランジスタの各入力端子間に接続される第1のインピーダンス素子と、を備えることを特徴とする半導体電力増幅器。

【請求項2】

信号入力端子に入力された信号を、並列接続された第1および第2のトランジスタで増幅して信号出力端子から出力する半導体電力増幅器において、

前記信号入力端子と前記第1のトランジスタとの間に直列接続される第1のインダクタ素子および第1のキャパシタ素子と、

前記信号入力端子と前記第2のトランジスタとの間に直列接続される第2のインダクタ素子および第2のキャパシタ素子と、

前記第1および第2のトランジスタの各入力端子間に接続される第1のインピーダンス素子と、

前記第1のトランジスタの出力端子と前記信号出力端子との間に接続される第3のインダクタ素子と、

前記第2のトランジスタの出力端子と前記信号出力端子との間に接続される第4のインダクタ素子と、を備えることを特徴とする半導体電力増幅器。

【請求項3】

前記第1および第2のトランジスタと、前記第1および第2のキャパシタ素子と、前記第1のインピーダンス素子とを有する第1の電力増幅部と、

前記第1の電力増幅部とは別個に設けられ、前記第1および第2のトランジス

タと、前記第1および第2のキャパシタ素子と、前記第1のインピーダンス素子とを有する第2の電力増幅部と、

前記第1の電力増幅部内の前記第1のインピーダンス素子と、前記第2の電力増幅部内の前記第1のインピーダンス素子との間に接続される第2のインピーダンス素子と、を備え、

前記第1および第2の電力増幅部の各入力端子はそれぞれインダクタ素子を介して前記信号入力端子に接続され、

前記第1および第2の電力増幅部の各入力端子同士は、インダクタ素子を介して互いに接続されるか、あるいは電気的に絶縁されることを特徴とする請求項1または2に記載の半導体電力増幅器。

【請求項4】

前記第1および第2のトランジスタの各入力端子に直流バイアス電圧を供給するバイアス回路を備えることを特徴とする請求項1～3のいずれかに記載の半導体電力増幅器。

【請求項5】

前記第1および第2のトランジスタの各入力端子と前記バイアス回路の出力端子との間にそれぞれ接続される複数のインピーダンス素子またはインダクタ素子と、を備えることを特徴とする請求項4に記載の半導体電力増幅器。

【請求項6】

前記入力信号は、マイクロ波であり、

請求項2～5のいずれかに記載の半導体電力増幅器を最終段の増幅器としたことを特徴とする多段モノリシック集積回路。

【請求項7】

前記第1および第2のトランジスタは、化合物半導体による電界効果トランジスタまたは化合物半導体によるバイポーラトランジスタであることを特徴とする請求項6に記載の多段モノリシック集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のトランジスタを並列接続して、高電流を駆動して高出力を得る半導体電力増幅器および多段モノリシック集積回路に関する。

【0002】

【従来の技術】

出力電流が大きい高出力トランジスタは、等価的には、図10に示すように、複数のトランジスタ・ユニットを並列接続した構成になっている。図10のような高出力トランジスタを半導体基板上に形成すると、素子サイズが大きくなるため、入出力の配線領域の横方向の広がりが等価的に伝送線路 L_i , L_o として作用する。

【0003】

伝送線路 L_i , L_o が電気的特性に影響を与える高周波領域では、トランジスタ間のアンバランスによる奇モードの信号伝搬が起こり、ループ発振 ($f/2$ のスプリアス発振も含む) の原因になる（参考文献：電子通信学会研究会MW89-59のP59）。

【0004】

例えば、図10の回路の場合、点線Aで示すループと点線Bで示すループでループ発振が起こる。

【0005】

このようなループ発振を防止する手法として、図11および図12に示すように、隣接する2つのトランジスタ $Q_1 \sim Q_4$ の出力端子間にバランス抵抗 R_b を接続し、ループ発振経路に損失を与えてループ発振を防止する手法が提案されている。バランス抵抗 R_b を接続することで、ループ発振経路の信号損失が大きくなり、ループ発振を抑制することができる。

【0006】

【発明が解決しようとする課題】

しかしながら、バランス抵抗 R_b を追加すると、その分だけ入力信号合成回路や出力信号合成回路の占有面積が大きくなるため、半導体チップ上に形成するのが困難になる。セラミック基板やガラエポ基板上に形成することも考えられるが、素子の小型化の面では、高出力増幅器も半導体チップ上に形成してMMIC（マイ

クロ波モノリシック集積回路)化するのが望ましい。

【0007】

このように、従来の手法でループ発振を抑制しようとすると、小型化が困難になり、コストも下げられないという問題があった。

【0008】

本発明は、このような点に鑑みてなされたものであり、その目的は、小型化が可能で、コストも削減でき、かつ、ループ発振を十分に抑制できる半導体電力増幅器および多段モノリシック集積回路を提供することにある。

【0009】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、信号入力端子に入力された高周波信号を、並列接続された第1および第2のトランジスタで増幅して信号出力端子から出力する半導体電力増幅器において、前記信号入力端子と前記第1のトランジスタの入力端子との間に接続される第1のキャパシタ素子と、前記信号入力端子と前記第2のトランジスタの入力端子との間に接続される第2のキャパシタ素子と、前記第1および第2のトランジスタの各入力端子間に接続される第1のインピーダンス素子と、を備える。

【0010】

請求項2の発明は、信号入力端子に入力された信号を、並列接続された第1および第2のトランジスタで増幅して信号出力端子から出力する半導体電力増幅器において、前記信号入力端子と前記第1のトランジスタとの間に直列接続される第1のインダクタ素子および第1のキャパシタ素子と、前記信号入力端子と前記第2のトランジスタとの間に直列接続される第2のインダクタ素子および第2のキャパシタ素子と、前記第1および第2のトランジスタの各入力端子間に接続される第1のインピーダンス素子と、前記第1のトランジスタの出力端子と前記信号出力端子との間に接続される第3のインダクタ素子と、前記第2のトランジスタの出力端子と前記信号出力端子との間に接続される第4のインダクタ素子と、を備える。

【0011】

請求項1および2の発明では、第1および第2のトランジスタの入力端子にそれぞれ第1および第2のキャパシタ素子を接続し、第1および第2のトランジスタの入力端子間に第1のインピーダンス素子を接続するため、ループ発振経路上でのループ発振信号を第1のインピーダンス素子で十分に減衰させることができ、ループ発振が起きにくくなる。

【0012】

請求項3の発明では、第1および第2のトランジスタと、第1および第2のキャパシタ素子と、第1のインピーダンス素子とを有する第1および第2の電力増幅部同士を、バランス抵抗として作用する第2のインピーダンス素子で接続するため、ループ発振経路上でのループ発振信号を十分に減衰させることができる。

【0013】

なお、第1および第2の電力増幅部と同じ構成の電力増幅部を3段以上並列接続してもよい。

【0014】

請求項4の発明では、第1および第2のトランジスタの入力端子に直流バイアス電圧を供給するためのバイアス回路を備えるため、第1および第2のトランジスタの入力端子にキャパシタ素子が接続されていても、これらトランジスタに直流バイアスを供給することができる。

【0015】

請求項5の発明では、第1および第2のトランジスタの各入力端子と前記バイアス回路の出力端子との間に、インピーダンス素子またはインダクタ素子を接続するため、第1および第2のトランジスタの入力端子を高周波的にオーブンにすることができ、各トランジスタに適切な直流バイアスを供給することができる。

【0016】

請求項6の発明では、請求項2～5のいずれかに記載の半導体電力増幅器をMIC化するため、素子の小型化が可能になる。

【0017】

請求項7の発明では、化合物半導体を用いてトランジスタを形成するため、高周波帯域での安定した動作が可能になる。

【0018】

【発明の実施の形態】

以下、本発明に係る半導体電力増幅器および多段モノリシック集積回路について、図面を参照しながら具体的に説明する。

【0019】

(第1の実施形態)

図1は本発明に係る半導体電力増幅器の基本構成を示す第1の実施形態の回路図である。図1の半導体電力増幅器は、並列接続された第1および第2のトランジスタQ1, Q2と、信号入力端子Pinと第1のトランジスタQ1のベース端子との間に接続されるキャパシタ素子（第1のキャパシタ素子）Ciと、信号入力端子Pinと第2のトランジスタQ2のベース端子との間に接続されるキャパシタ素子（第2のキャパシタ素子）Ciと、第1および第2のトランジスタQ1, Q2の各ベース端子間に接続される抵抗素子（第1のインピーダンス素子）Rbとを備えている。

【0020】

図1の半導体電力増幅器に高周波信号を入力すると、図示の半導体電力増幅器は、キャパシタ素子Ciと信号入力端子Pinとの間、および第1および第2のトランジスタQ1, Q2のコレクタ端子間にそれぞれインダクタ素子Li, Loが接続された回路と等価になる。

【0021】

図1のトランジスタQ1, Q2はそれぞれ、例えばInGaP/GaAsのヘテロ接合バイポーラトランジスタであり、エミッタサイズが $4 \times 30 \mu\text{m}$ のトランジスタ・ユニットを16個有するマルチエミッタ・トランジスタである。

【0022】

なお、マルチエミッタ・トランジスタを構成するトランジスタ・ユニットの数やサイズには特に制限はない。また、必ずしも化合物半導体でトランジスタを形成しなくてもよい。

【0023】

等価的なインダクタ素子Li, Loは、配線長 $300 \mu\text{m}$ の線路では 0.1nH 、キャパ

シタ素子C*i*の容量は5pF、抵抗素子R*b*の抵抗値は5Ωである。

【0024】

図2は従来の半導体電力増幅器の基本構成を示す回路図である。図1と図2を比較すればわかるように、図1の回路は、2つのキャパシタ素子C*i*と、抵抗素子R*b*とを有する点で、図2に示す従来の回路と異なっている。

【0025】

図1および図2に示す両回路は、並列動作を行う偶モード伝搬では、全く同様の特性を示すが、ループ発振を起こす奇モード伝搬では、全く別個の特性を示す。

【0026】

図1の回路では、2つのキャパシタ素子C*i*によりループ発振信号の流れをカットするため、ループ発振経路は図示の点線矢印y1で示したものになる。この経路上には、抵抗素子R*b*が存在するため、この抵抗素子R*b*により信号を十分に減衰させることができ、結果的にループ発振が起きなくなる。

【0027】

図3はループ利得の計算結果を示す図であり、ループ発振の目安を示すシグナルフローの奇モード入力A1（出力側A2）と奇モード出力A1'（出力側A2'）の比が周波数により変化する様子を示している（参考文献：電子通信学会研究会MW89-59, p59）。

【0028】

この比が1を越えると、ループ発振を起こすおそれがある。曲線L1, L2で示す従来の回路は、A1'/A1が2GHz以上で、A2'/A2が1～5GHz付近で「1」を越えているが、本実施形態の回路では、「1」を越えることはないので、ループ発振を起こす可能性はない。また、構造的にも、図2に示す入力段のキャパシタ素子C3を、本実施形態では、図1に示すように2つのキャパシタ素子C*i*に分割しているが、各キャパシタ素子C*i*の容量値がそれぞれ1/2になるので、キャパシタ素子自体の形成面積はほとんど変化しない。

【0029】

このように、第1の実施形態は、並列接続されたトランジスタQ1, Q2の各

ベース端子にそれぞれキャパシタ素子C_iを接続するとともに、各ベース端子間に抵抗素子R_bを接続するため、ループ発振経路上でループ発振信号を十分に減衰させることができる。また、本実施形態は、小型化が可能なため、MMIC化が容易になる。

【0030】

(第2の実施形態)

第2の実施形態は、基本的な回路構成は第1の実施形態と同じであるが、トランジスタの接続段数を増やした点に特徴がある。

【0031】

図4は本発明に係る半導体電力増幅器の第2の実施形態の回路図である。図4の増幅器は、図1と同様の回路を複数並列接続した構成になっている。具体的には、4つのトランジスタQ1～Q4の各ベース端子にはキャパシタ素子C_iがそれぞれ接続され、隣接するトランジスタのベース端子間ににはそれぞれ抵抗素子R_bが接続されている。

【0032】

図4のように接続されたキャパシタ素子C_iと抵抗素子R_bを設けることにより、ループ発振経路は図4の点線矢印y1のようになる。このループ発振経路上には抵抗素子R_bが存在するため、信号を十分に減衰させることができ、ループ発振が起きなくなる。

【0033】

(第3の実施形態)

第3の実施形態は、第2の実施形態の変形例であり、すべてのトランジスタユニットに同位相で信号が伝達されたようにした点に特徴がある。

【0034】

図5は本発明に係る半導体電力増幅器の第3の実施形態の回路図である。図5の回路は、図1と同様の回路を2組並列接続し、各組のトランジスタのベース端子間に抵抗素子R_bを接続した構成になっている。

【0035】

図5のように構成することで、図4と異なり、各組に同位相の信号を伝達させ

ることができる。特に、高周波の信号を増幅する場合には、インダクタ成分の影響を受けやすくなるため、同位相の信号を伝達させることで、特性の安定化が図れる。

【0036】

なお、図5のように接続すると、図4のように接続する場合よりも、入力端子からキャパシタ素子までの距離が若干長くなるおそれがあるが、配線パターンの引き回し等を工夫することで、その距離の差異を小さくすることができる。

【0037】

(第4の実施形態)

第1～第3の実施形態に示す半導体電力増幅器は、各トランジスタのベース端子にキャパシタ素子を接続しているため、各トランジスタに直流バイアスを与えることができない。そこで、第4の実施形態は、第1～第3の実施形態のトランジスタに直流バイアスを供給する回路を附加したものである。

【0038】

図6は本発明に係る半導体電力増幅器の第4の実施形態の回路図である。図6の回路は、バイアス回路1を有する点と、各トランジスタQ1～Q4のベース端子とバイアス回路1との間にインダクタ素子Lcが接続されている点とで、図4の回路と異なっている。インダクタ素子Lcを設けることで、各トランジスタQ1～Q4のベース端子は、高周波的にオープンになり、高周波で動作させたときの特性が安定化する。

【0039】

図6のようなバイアス回路1とインダクタ素子Lcを設けることにより、各トランジスタQ1～Q4に直流バイアスを供給することができる。

【0040】

ところが、インダクタ素子Lcを基板上に形成すると、チップの占有面積が大きくなるため、小型化には向きである。そこで、図7は、インダクタ素子Lcの代わりに抵抗素子Rcを用いた例を示している。

【0041】

図7の抵抗素子Rcは、高周波的にはオープンでなければならないので、抵抗

値を大きくする必要がある。抵抗素子Rcは、チップの占有面積が小さいため、半導体電力増幅器の小型化、すなわちMMIC化が可能になる。

【0042】

ところで、図8はUSP5,608,353号公報に開示されている電力増幅器である。図7と図8を比較すると、両者の違いは、隣接するトランジスタのベース端子間に抵抗素子Rbが接続されているか、いないかだけである。

【0043】

図8の回路は、耐破壊性を向上させる目的で各トランジスタのベース端子に抵抗素子Rcを接続しており、その抵抗値は大きくなければならない。このような目的で形成された図8の回路に、図7と同様の抵抗素子Rbを接続した回路を想定した場合、隣接するトランジスタ間の電位差が小さくなり、耐破壊性を向上させるという図8の回路の本来の目的が得られなくなってしまう。

【0044】

すなわち、図8の回路が公知であっても、耐破壊性を向上させるという目的を得るには図7の抵抗素子Rbと同様の抵抗素子Rbを図8の回路に付加することは考えられない。したがって、図8の従来回路から、図7に示す本実施形態の回路を想定することは容易ではない。

【0045】

図9は図7の半導体電力増幅器を有する二段構成のMMIC増幅器の回路図である。信号入力端子Pinは初段のトランジスタQ5のベース端子に接続され、このトランジスタQ5のコレクタ端子に図7と同様の構成の半導体電力増幅器が接続されている。

【0046】

図9の回路の場合、キャパシタ素子Ciは、初段のトランジスタQ5と後段のトランジスタQ1～Q4との段間整合回路として用いられる。

【0047】

上述した各実施形態では、バイポーラトランジスタを用いて半導体電力増幅器を構成する例について説明したが、MOSトランジスタやBiCMOS構造のトランジスタを用いて半導体電力増幅器を構成してもよい。また、トランジスタの並列接続

段数にも特に制限はない。

【0048】

【発明の効果】

以上詳細に説明したように、本発明によれば、第1および第2のトランジスタの各入力端子にキャパシタ素子を接続し、かつ、第1および第2のトランジスタの各入力端子間に抵抗素子を接続するため、高出力トランジスタの奇モードの信号伝搬によるループ発振 ($f/2$ のスプリアス発振を含む) を防止することができる。

【0049】

また、バイアス回路を別に設けることで、第1および第2のトランジスタに直流バイアスを供給することができるため、第1および第2のトランジスタの各入力端子にキャパシタ素子が接続されていても、特に動作上支障は起きない。

【0050】

さらに、本発明は、高周波帯域で使用される化合物半導体によるMOSトランジスタやバイポーラトランジスタを用いたマイクロ波モノリシック集積回路に特に有効である。

【図面の簡単な説明】

【図1】

本発明に係る半導体電力増幅器の基本構成を示す第1の実施形態の回路図。

【図2】

従来の半導体電力増幅器の基本構成を示す回路図。

【図3】

ループ利得の計算結果を示す図。

【図4】

本発明に係る半導体電力増幅器の第2の実施形態の回路図。

【図5】

本発明に係る半導体電力増幅器の第3の実施形態の回路図。

【図6】

本発明に係る半導体電力増幅器の第4の実施形態の回路図。

【図7】

図6のインダクタ素子の代わりに抵抗素子を用いた例を示す回路図。

【図8】

USP5,608,353号公報に開示されている電力増幅器の回路図。

【図9】

図7の半導体電力増幅器を有する二段構成のMMIC増幅器の回路図。

【図10】

複数のトランジスタ・ユニットを並列接続した従来例の構成を示す回路図。

【図11】

バランス抵抗を追加した従来の回路図。

【図12】

図11の変形例を示す従来の回路図。

【符号の説明】

1 バイアス回路

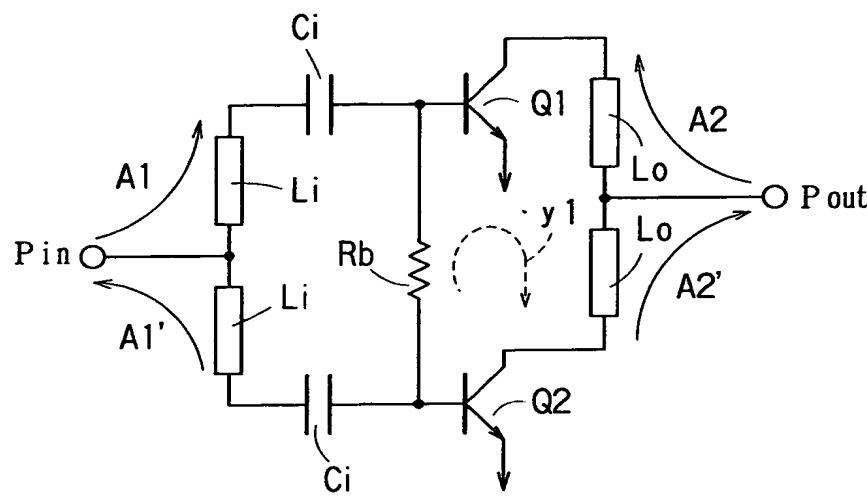
Q 1～Q 4 トランジスタ

L_i, L_o 等価的なインダクタ素子

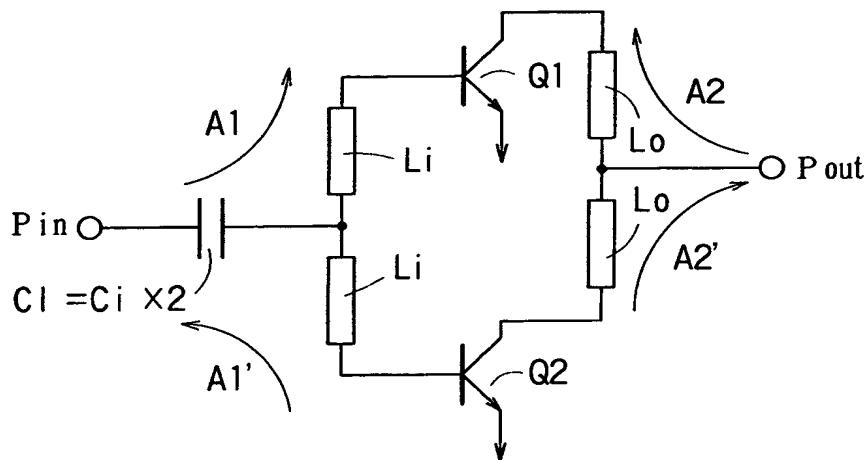
R_b 抵抗素子

【書類名】 図面

【図1】

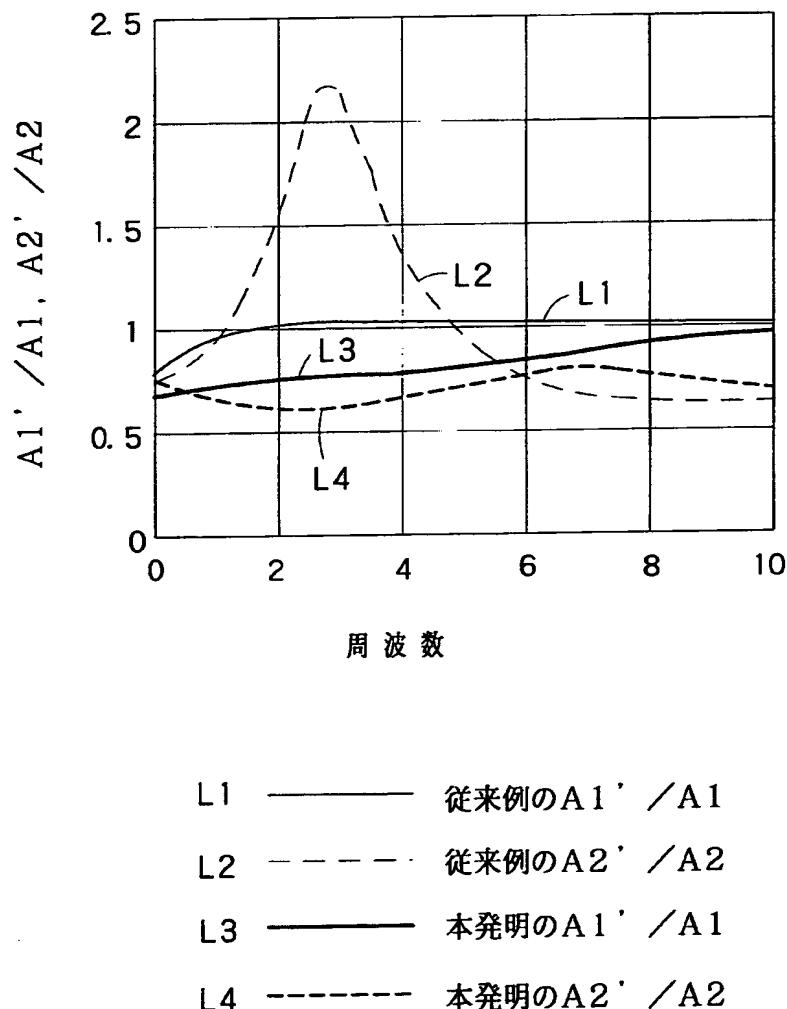


【図2】

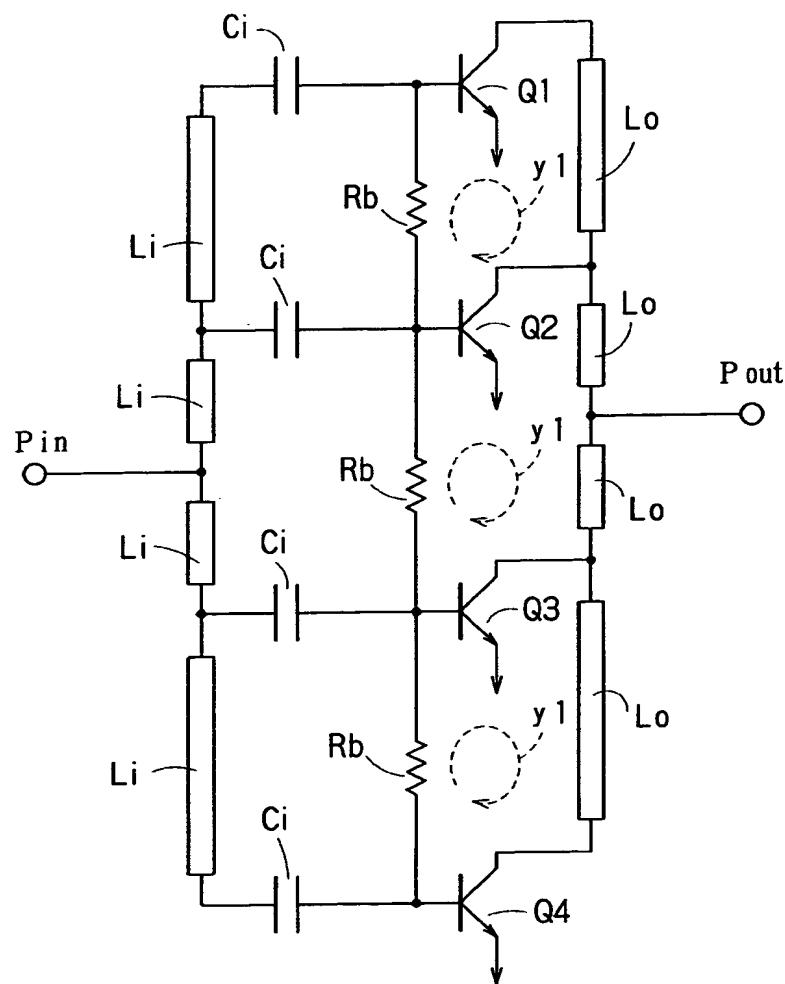


【図3】

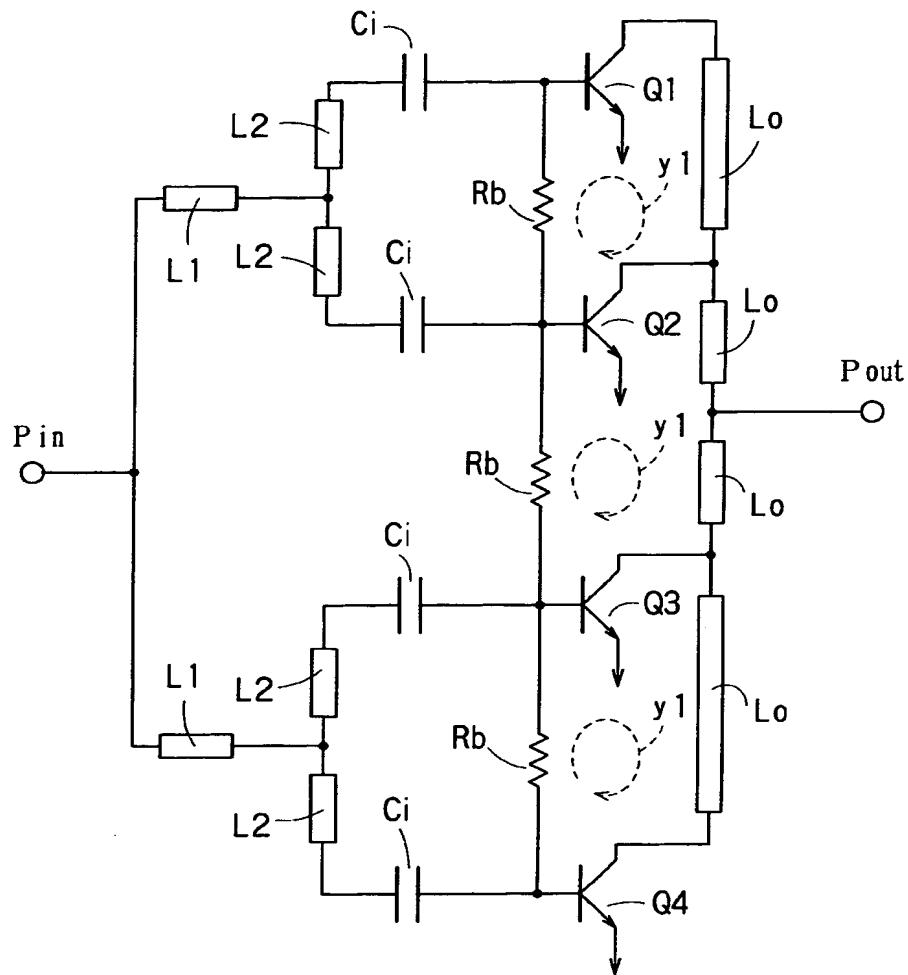
ループ利得の計算



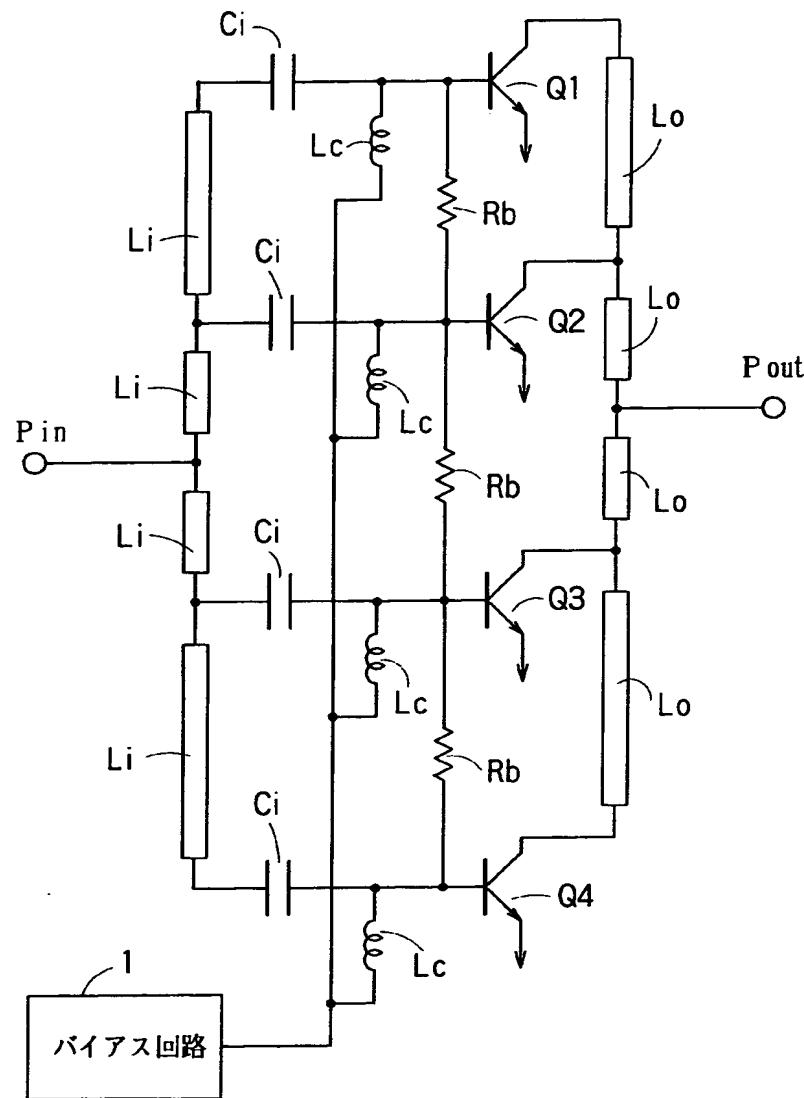
【図4】



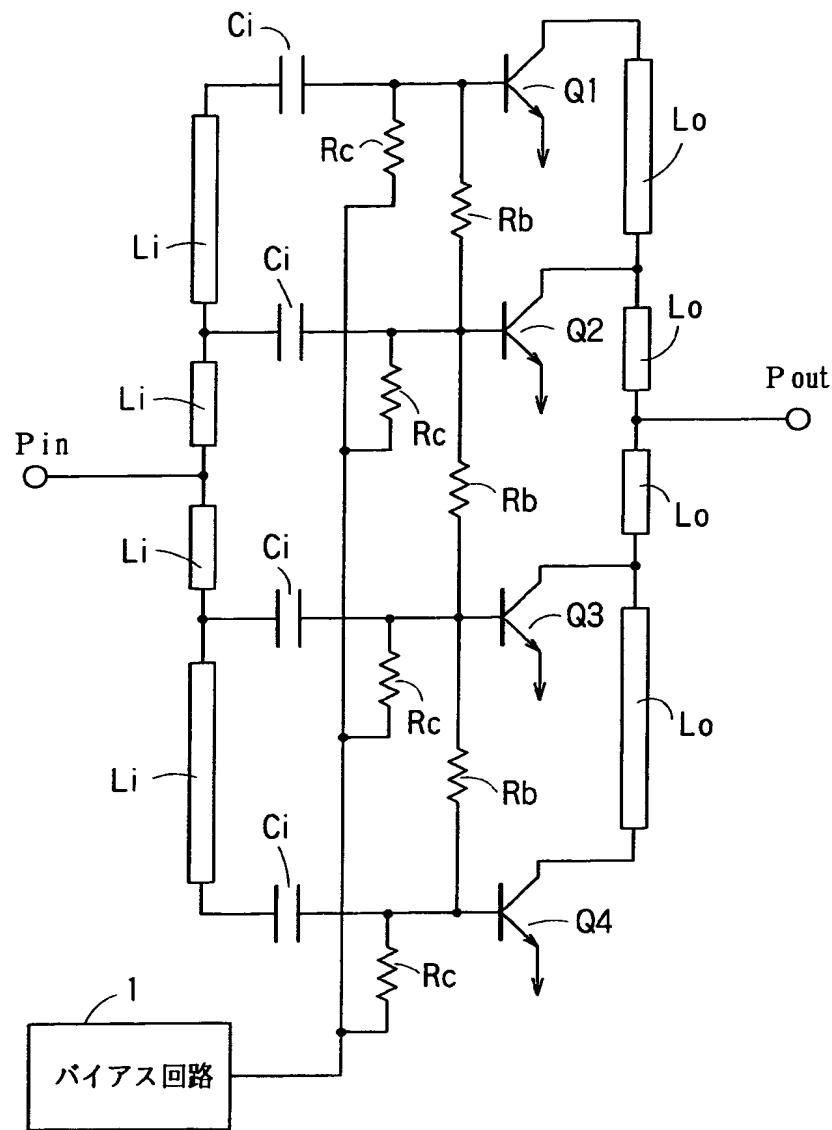
【図5】



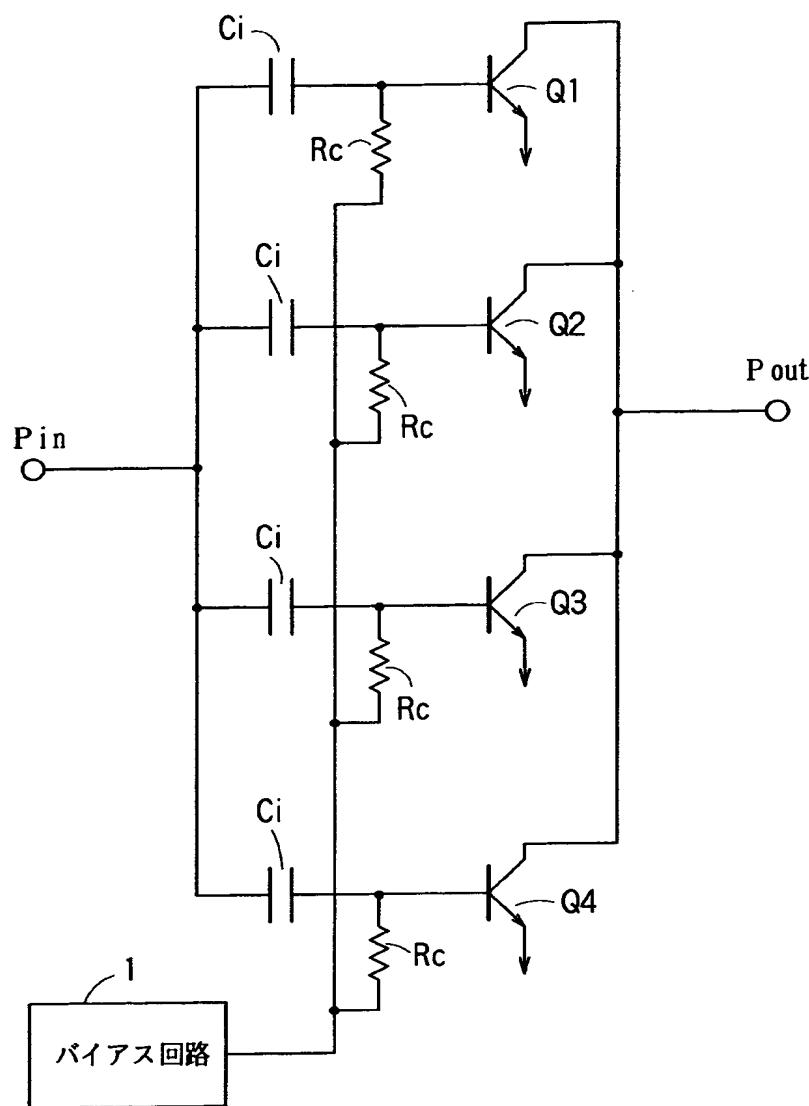
【図6】



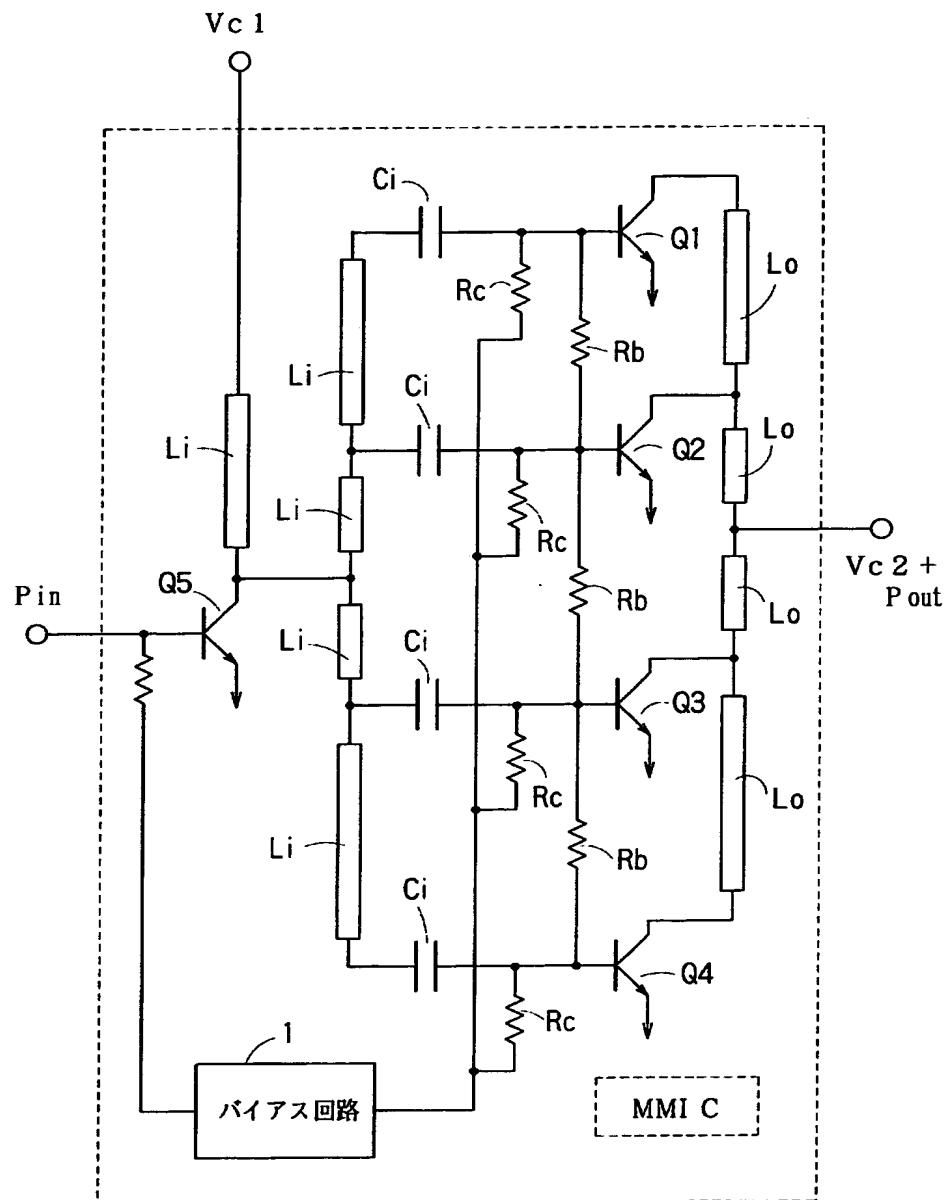
【図7】



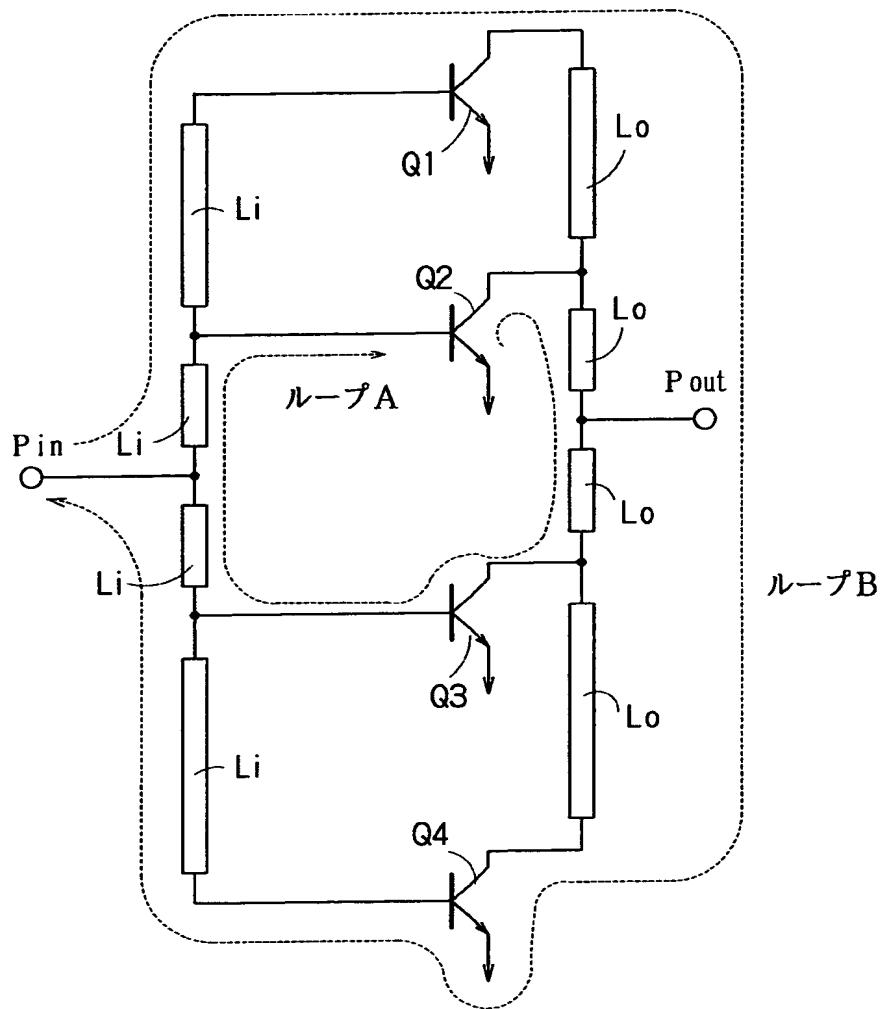
【図8】



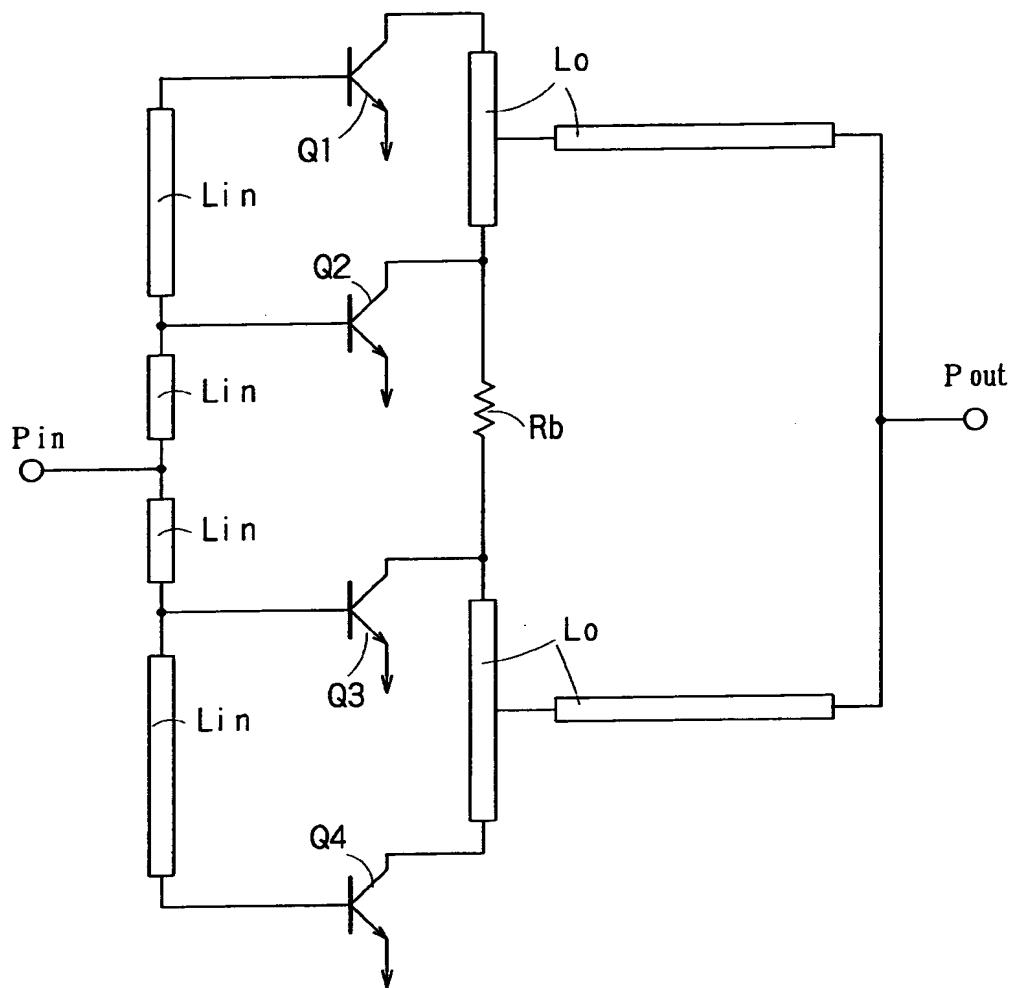
【図9】



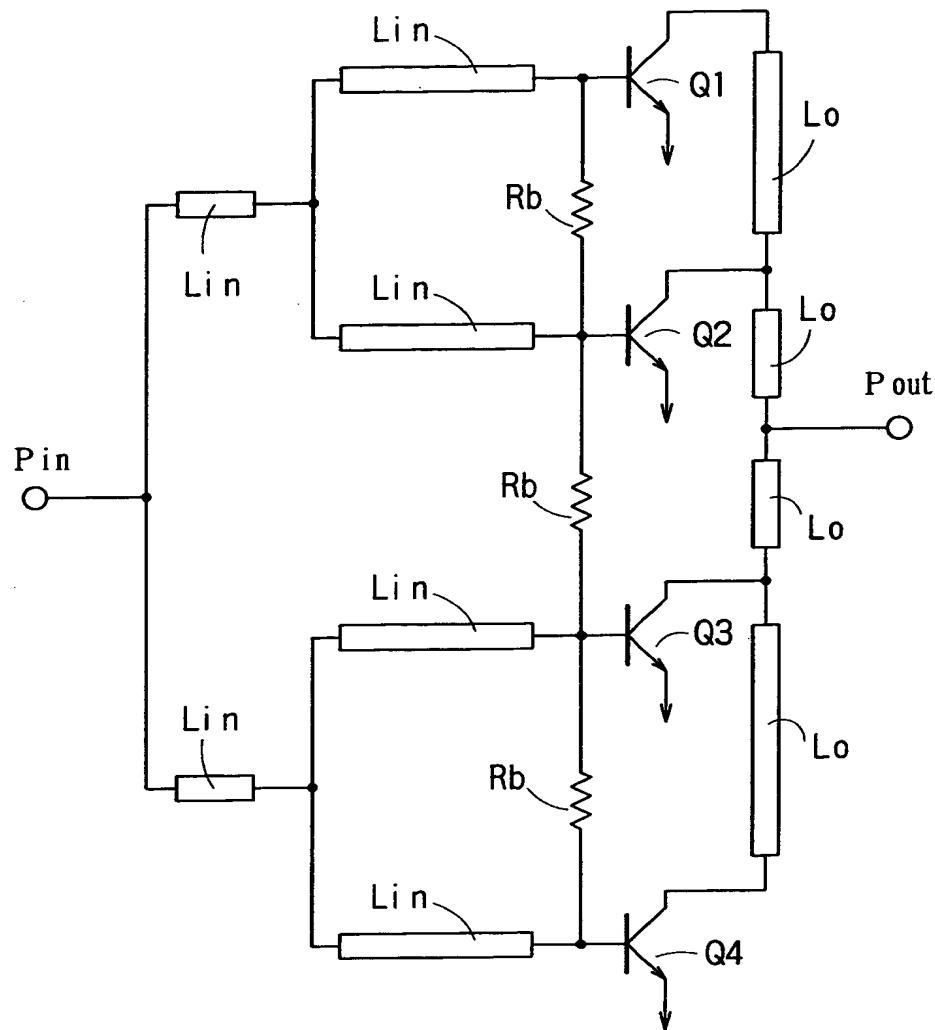
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 小型化が可能で、コストも削減でき、かつ、ループ発振を十分に抑制できる半導体電力増幅器およびマイクロ波モノリシック集積回路を提供する。

【解決手段】 本発明の半導体電力増幅器は、並列接続された第1および第2のトランジスタQ1, Q2と、信号入力端子Pinと第1のトランジスタQ1のベース端子との間に接続されるキャパシタ素子Ciと、信号入力端子Pinと第2のトランジスタQ2のベース端子との間に接続されるキャパシタ素子Ciと、第1および第2のトランジスタQ1, Q2の各ベース端子間に接続される抵抗素子Rbとを備えている。キャパシタ素子Ciと抵抗素子Rbを設けることにより、ループ発振経路上でループ発振信号を十分に減衰させることができる。また、本実施形態は、小型化が可能なため、MMIC化が容易になる。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝